

DERWENT-ACC-NO: 2002-198483

DERWENT-WEEK: 200226

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Low resistant gallium nitride group buffer layer
for
field effect transistor, metal semiconductor field
effect
transistor, comprises multiple thin layers of nitride
group compound semiconductor containing gallium

PATENT-ASSIGNEE: FURUKAWA ELECTRIC CO
LTD[FURU]

PRIORITY-DATA: 2000JP-0084613 (March 24, 2000)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 2001274376 A	October 5, 2001	N/A
H01L 029/778		005

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP2001274376A	N/A	2000JP-0084613
March 24, 2000		

INT-CL (IPC): C30B029/38, H01L021/203 , H01L021/338 ,
H01L029/778 ,
H01L029/812 , H01L033/00 , H01S005/32

ABSTRACTED-PUB-NO: JP2001274376A

BASIC-ABSTRACT:

NOVELTY - A low resistant gallium nitride group buffer layer (2) comprises multiple thin layers (2A-2C) of nitride group III-V group compound semiconductor containing gallium as essential component.

USE - For field effect transistor, metal semiconductor field effect transistor.

ADVANTAGE - GaN group buffer layer of low resistance is offered. High industrial usage is offered. The two dimensional electron gas layer formed on heterojunction boundary surface of compound semiconductor of high purity, is utilized effectively.

DESCRIPTION OF DRAWING(S) - The figure shows sectional view of buffer layer structure.

Buffer layer 2

Thin layers 2A-2C

CHOSEN-DRAWING: Dwg.1/1

TITLE-TERMS: LOW RESISTANCE GALLIUM NITRIDE GROUP BUFFER LAYER FIELD EFFECT TRANSISTOR METAL SEMICONDUCTOR FIELD EFFECT TRANSISTOR COMPRISE

MULTIPLE THIN LAYER NITRIDE GROUP
COMPOUND SEMICONDUCTOR CONTAIN
GALLIUM

DERWENT-CLASS: L03 U11 U12 V08

CPI-CODES: L04-A02A1A; L04-E01A;

EPI-CODES: U11-C01A1; U11-C18A3; U12-D02B; U12-
D02D2; V08-A04A;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2002-061344

Non-CPI Secondary Accession Numbers: N2002-150970

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-274376

(P2001-274376A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl.	識別記号	F I	テーマコード(参考)
H 0 1 L 29/778		C 3 0 B 29/38	D 4 G 0 7 7
21/338		H 0 1 L 21/203	M 5 F 0 4 1
29/812		33/00	C 5 F 0 7 3
C 3 0 B 29/38		H 0 1 S 5/32	5 F 1 0 2
H 0 1 L 21/203		H 0 1 L 29/80	H 5 F 1 0 3
審査請求 未請求 請求項の数 2 O L (全 5 頁) 最終頁に続く			

(21) 出願番号 特願2000-84613(P2000-84613)

(22) 出願日 平成12年3月24日 (2000.3.24)

(71) 出願人 000005290

古河電気工業株式会社

東京都千代田区丸の内2丁目6番1号

(72) 発明者 吉田 清輝

東京都千代田区丸の内2丁目6番1号 古

河電気工業株式会社内

(74) 代理人 100090022

弁理士 長門 侃二

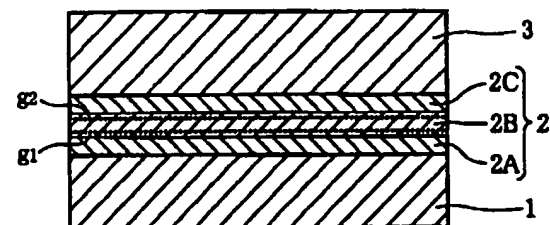
最終頁に続く

(54) 【発明の名称】 低抵抗Ga_{0.9}N_{0.1}系緩衝層

(57) 【要約】

【課題】 低抵抗のGa_{0.9}N_{0.1}系緩衝層を提供する。

【解決手段】 この緩衝層2は、Gaを必須成分として含む窒化物系III-V族化合物半導体から成る少なくとも2層の薄層をヘテロ接合した層構造、例えばAlGa_{0.9}N_{0.1} 2A/GaN 2B/AlGa_{0.9}N_{0.1} 2Cになっていて、このヘテロ結合界面に形成される2次元電子ガス層を積極的に活用しているので低抵抗になっている。



【特許請求の範囲】

【請求項1】 Gaを必須成分として含む窒化物系III-V族化合物半導体から成る少なくとも2層の薄層をヘテロ接合した層構造になっていることを特徴とする低抵抗Ga_{0.9}N_{0.1}系緩衝層。

【請求項2】 前記層構造が、AlGa_{0.9}N_{0.1}/Ga_{0.9}N_{0.1}/AlGa_{0.9}N_{0.1}、Ga_{0.9}N_{0.1}/AlGa_{0.9}N_{0.1}/Ga_{0.9}N_{0.1}、Ga_{0.9}N_{0.1}/InGa_{0.9}N_{0.1}/Ga_{0.9}N_{0.1}、InGa_{0.9}N_{0.1}/Ga_{0.9}N_{0.1}/InGa_{0.9}N_{0.1}、InAlGa_{0.9}N_{0.1}/Ga_{0.9}N_{0.1}/InAlGa_{0.9}N_{0.1}（ただし、InAlGa_{0.9}N_{0.1}は、Ga_{0.9}N_{0.1}よりもバンドギャップエネルギーが大きい組成になっている）、Ga_{0.9}N_{0.1}/InAlGa_{0.9}N_{0.1}/Ga_{0.9}N_{0.1}、AlGa_{0.9}N_{0.1}P_{0.1}/Ga_{0.9}N_{0.1}P_{0.1}/AlGa_{0.9}N_{0.1}P_{0.1}、AlGa_{0.9}N_{0.1}As_{0.1}/Ga_{0.9}N_{0.1}As_{0.1}/AlGa_{0.9}N_{0.1}As_{0.1}、AlGa_{0.9}N_{0.1}P_{0.1}/InGa_{0.9}N_{0.1}P_{0.1}/AlGa_{0.9}N_{0.1}P_{0.1}、AlGa_{0.9}N_{0.1}As_{0.1}/InGa_{0.9}N_{0.1}As_{0.1}/AlGa_{0.9}N_{0.1}As_{0.1}のいずれかである請求項1の低抵抗Ga_{0.9}N_{0.1}系緩衝層。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は基板の上にエピタキシャル成長法で成膜される低抵抗Ga_{0.9}N_{0.1}系緩衝層に関し、更に詳しくは、FETやMESFETのような各種のGa_{0.9}N_{0.1}系半導体素子の製造時に採用することにより、当該半導体素子の基板裏面への動作電極の形成を可能にした低抵抗Ga_{0.9}N_{0.1}系緩衝層に関する。

【0002】

【従来の技術】 例えばGa_{0.9}N_{0.1}系材料でFETを製造する場合には、基板の上に例えばMOCVD法やMBE法のようなエピタキシャル成長法で所定の組成を有するGa_{0.9}N_{0.1}系結晶層を順次積層してFET層構造を形成することが必要である。その場合、Ga_{0.9}N_{0.1}系材料と格子定数が一致する基板材料は皆無であるため、異種材料から成る基板が結晶成長用の基板として用いられている。通常はサファイア基板が用いられている。

【0003】 しかしながら、このサファイア基板と結晶成長するGa_{0.9}N_{0.1}結晶との格子不整合率は20%以上であるため、両者の格子不整合を緩和し、成膜されたGa_{0.9}N_{0.1}結晶における結晶欠陥を極力少なくすることを目的として、サファイア基板の上には、一旦、緩衝層を成膜することが行われている。通常、この緩衝層はノンドープの状態で成膜され、そしてその上に所望する膜厚のn型Ga_{0.9}N_{0.1}結晶層をn型活性層として成膜することによりGa_{0.9}N_{0.1}系のFET層構造が形成されることになる。

【0004】 上記した緩衝層の成膜に関しては、従来から次のような2段階成長法が適用されている。第1の方法は、通常、MOCVD法により、例えばトリエチルアルミニウム（TEA）とアンモニア（NH₃）を用い、水素をキャリアガスとして用い、成長温度800℃でサファイア基板上に、一旦、厚み5nm程度の極薄なAlN層を下部緩衝層として成膜し、ついで成長温度を1100℃に上昇させ、トリメチルガリウム（TMG）とアン

モニア（NH₃）を用いて厚膜のノンドープGa_{0.9}N_{0.1}結晶層を上部緩衝層として前記AlN層の上に成膜する方法である。

【0005】 また、第2の方法としては次のような方法が適用されている。すなわち、MOCVD法により、例えばTMGとNH₃を用い、水素をキャリアガスとして用い、温度500～600℃の低温下で厚み1～2nm程度の非晶質Ga_{0.9}N_{0.1}層を下部緩衝層として成膜し、ついで温度を1100℃に上昇してエピタキシャル成長を行い、前記非晶質Ga_{0.9}N_{0.1}層の上に厚膜のノンドープGa_{0.9}N_{0.1}結晶層を上部緩衝層として成膜する方法である。

【0006】 このようにして成膜された従来のGa_{0.9}N_{0.1}系緩衝層は、結晶欠陥が多いという問題と、同時に、上部緩衝層として成膜されている厚膜のノンドープGa_{0.9}N_{0.1}結晶層が高抵抗であるということに規定されて緩衝層全体としては高抵抗になっているという問題を有している。

【0007】

【発明が解決しようとする課題】 ところで、例えば縦型のGa_{0.9}N_{0.1}系FETを製造しようとする場合には、基板として導電性材料から成る基板を用い、製造した素子の上面と、下面（すなわち基板裏面）にそれぞれ動作電極を形成することが必要になる。しかしながら、上記の従来方法で形成したFET構造においては、基板上に位置する緩衝層が高抵抗になっているため、基板の裏面に動作電極を形成しても電極動作を示さないことになる。したがって、縦型のGa_{0.9}N_{0.1}系FETを製造しようとする場合には、緩衝層をノンドープの状態で、かつ低抵抗にすることが必要になる。

【0008】 本発明は、上記した要請に応えることができ、高純度であると同時に、低抵抗であるGa_{0.9}N_{0.1}系緩衝層の提供を目的とする。

【0009】

【課題を解決するための手段】 本発明者は上記した目的を達成するために研究を重ねる過程で、HEMTの場合に代表されるように、互いに高純度である化合物半導体のヘテロ接合界面には2次元電子ガス層が形成され、その領域における電子は高い移動度を有するという事実に着目した。そして、上記したGa_{0.9}N_{0.1}系の緩衝層の場合でも、複数の高純度なGa_{0.9}N_{0.1}系材料を用いてヘテロ接合構造を形成すれば、互いのヘテロ接合界面には2次元電子ガス層が形成され、そのことにより、緩衝層を全体として低抵抗化することが可能になるとの着想を抱き、その着想に基づいて更に研究を重ねた結果、上記着想が正当であることを確認し、本発明を開発するに至った。

【0010】 すなわち、本発明の低抵抗Ga_{0.9}N_{0.1}系緩衝層は、Gaを必須成分として含む窒化物系III-V族化合物半導体から成る少なくとも2層の薄層をヘテロ接合した層構造になっていることを特徴とする。そして、このような層構造としては、AlGa_{0.9}N_{0.1}/Ga_{0.9}N_{0.1}/AlGa_{0.9}N_{0.1}、Ga_{0.9}N_{0.1}/AlGa_{0.9}N_{0.1}/Ga_{0.9}N_{0.1}、Ga_{0.9}N_{0.1}/InGa_{0.9}N_{0.1}

/GaN, InGa_N/Ga_N/InGa_N, InAlGa_N/Ga_N/InAlGa_N (ただし、InAlGa_Nは、Ga_Nよりもバンドギャップエネルギーが大きい組成になっている), Ga_N/InAlGa_N/Ga_N, AlGaNP/GaNP/AlGaNP, AlGa_NAs/Ga_NAs/AlGa_NAs, AlGaNP/InGaNP/AlGaNP, AlGa_NAs/InGa_NAs/AlGa_NAsのいずれかであることを好適とする。

【0011】

【発明の実施の形態】以下、図面に基づいて本発明の緩衝層を説明する。図1は、基板1の上に、後述する高純度な緩衝層2が成膜され、更にその上に、SiドーパGaN結晶層のような同じく高純度な緩衝層2が成膜され、更にその上に、SiドーパGaN結晶層のような同じく高純度なn型活性層3が形成された断面構造を示す。

【0012】ここで、基板1としては、例えばSi, SiC, GaAs, GaP, InPなどの基板のヘテロ接合から成る層構造のような導電性材料から成る基板を用い、この材料からは、n型活性層3に上部電極を、基板1の裏面に下部電極をそれぞれ形成することにより、縦型のFETを製造することができる。緩衝層2は、全体として、第1緩衝層2A、第2緩衝層2B、および第3緩衝層2Cから成る3層構造になっていて、各部分緩衝層の接合界面はヘテロ接合界面になっている。

【0013】そして、これら緩衝層2A、2B、2Cは、Gaを必須成分として含む窒化物系III-V族化合物半導体で構成されていて、図1の材料の場合、具体的には、第1緩衝層2AはAlGa_N (Al:15原子%)結晶層、第2緩衝層2BはGa_N結晶層、第3緩衝層2CはAlGa_N (Al:20原子%)結晶層になっている。

【0014】この緩衝層2の場合、第1緩衝層2Aと第2緩衝層2Bの接合界面における第2緩衝層2B側には2次元電子ガス層 g_1 が形成され、また、第2緩衝層2Bと第3緩衝層2Cの接合界面における第2緩衝層2B側にも2次元電子ガス層 g_2 が形成されることになる。すなわち、2つの接合界面に対応して第2緩衝層2Bの上下には2つの2次元電子ガス層が形成されている。

【0015】したがって、この第2緩衝層2Bを薄く成膜することにより、上記した2次元電子ガス層 g_1 、 g_2 の作用で、当該第2緩衝層2Bの上下方向における抵抗を低めることが可能になる。具体的には、第2緩衝層2Bの厚みを10nm以下に設定すれば、上下方向における導電性を発現せしめることができる。なお、第1緩衝層2Aと第3緩衝層2Cは、いずれも、第2緩衝層2Bとの接合界面に2次元電子ガス層を形成するためにのみ成膜されるものである。したがって、その材料としては、第2緩衝層2Bにおける材料のバンドギャップエネルギ

よりも大きいバンドギャップエネルギーを有する組成のものが選定される。そして、これら層2A、2Cの厚みは厚くなくてよく、上記した2次元電子ガス層の形成に必要な厚みであれば充分である。むしろ、層2A、2Cの厚みを厚くすると、緩衝層全体の上下方向における抵抗を高めるようになる。したがって、成膜時に層2A、2Cを平坦面にするということも勘案して30~50nm程度に設定すればよい。

【0016】このような作用効果を発揮する緩衝層2の層構造としては、それを、第1緩衝層2A/第2緩衝層2B/第3緩衝層2Cで表現した場合、次のような層構造を好適例としてあげることができる。すなわち、AlGa_N/Ga_N/AlGa_N, Ga_N/AlGa_N/Ga_N, Ga_N/InGa_N/Ga_N, InGa_N/Ga_N/InGa_N, InAlGa_N/Ga_N/InAlGa_N (ただし、InAlGa_Nは、Ga_Nよりもバンドギャップエネルギーが大きい組成になっている), Ga_N/InAlGa_N/Ga_N, AlGaNP/GaNP/AlGaNP, AlGa_NAs/Ga_NAs/AlGa_NAs, AlGaNP/InGaNP/AlGaNP, AlGa_NAs/InGa_NAs/AlGa_NAsのいずれかである。

【0017】

【実施例】実施例1

図1で示した材料をMBE法で次のようにして製造した。導電性のSi基板1の上に、成長温度750℃で、まず、1原子層のAlを堆積させた。

【0018】ついで、プラズマ化した窒素 (3×10^{-6} Torr)、金属Ga (5×10^{-7} Torr)、金属Al (1×10^{-7} Torr)、および金属Si (1×10^{-9} Torr)を用い、成長温度800℃で厚み3nmのSi添加AlGa_N (Al:15原子%)結晶層を第1緩衝層2Aとして成膜した。この層の表面のストリークパターンを高速電子線回折装置 (RHEED) で観察したところ平坦であることが確認された。

【0019】ついで、プラズマ化した窒素 (3×10^{-6} Torr)、金属Ga (5×10^{-7} Torr)のみを用いて上記第1緩衝層2Aの上に厚み30nmのGa_N結晶層を第2緩衝層2Bとして成膜した。RHEED観察によればこの層の表面も平坦であった。更に、上記ガス源に金属Al (2×10^{-7} Torr)を加えてMBE法を行い、上記第2緩衝層2Bの上に厚み3nmのAlGa_N (Al:20原子%)結晶層を第3緩衝層2Cとして成膜した。RHEED観察によればこの層の表面も平坦であった。

【0020】ついで、プラズマ化した窒素 (5×10^{-6} Torr)と金属Ga (8×10^{-7} Torr)を用い、n型ドーパントとして金属Si (5×10^{-8} Torr)を用い、成長温度850℃で上記第3緩衝層2Cの上に厚み30nmのSiドーパGaN結晶層をn型活性層3として成膜した。得られた材料につき、C-V測定を行って、緩衝層

のあるヘテロ接合付近のキャリア濃度を調べたところ、緩衝層2とn型活性層3との界面におけるキャリア濃度は $3 \times 10^{18} \text{cm}^{-3}$ であり、十分に上下方向の導電性を有することが確認された。このことは、緩衝層に2次元電子ガス層が形成されていることを根拠づけるものである。

【0021】実施例2

MBE法により、導電性のSi基板1の上に成長温度700℃で、まず、1原子層のGaを堆積させた。ついで、プラズマ化した窒素($3 \times 10^{-6} \text{Torr}$)、金属Ga (5) ($5 \times 10^{-7} \text{Torr}$)、および金属Si ($1 \times 10^{-8} \text{Torr}$)を用い、成長温度800℃で厚み3nmのSi添加GaN結晶層を第1緩衝層2Aとして成膜した。この層の表面のストリークパターンを高速電子線回折装置(RHEED)で観察したところ平坦であることが確認された。

【0022】ついで、プラズマ化した窒素($3 \times 10^{-6} \text{Torr}$)、金属Ga ($8 \times 10^{-7} \text{Torr}$)および金属Al ($1 \times 10^{-7} \text{Torr}$)を用いて上記第1緩衝層2Aの上に厚み30nmのAlGaN (Al:15原子%)結晶層を第2緩衝層2Bとして成膜した。RHEED観察によればこの層の表面も平坦であった。ついで、金属Alの供給を絶ってMBE法を行い、上記第2緩衝層2Bの上に厚み3nmのGaN結晶層を第3緩衝層2Cとして成膜した。RHEED観察によればこの層の表面も平坦であった。

【0023】そして、プラズマ化した窒素($5 \times 10^{-6} \text{Torr}$)と金属Ga ($8 \times 10^{-7} \text{Torr}$)を用い、n型ドーパントとして金属Si ($5 \times 10^{-8} \text{Torr}$)を用い、成長温度850℃で上記第3緩衝層2Cの上に厚み30nmのSiドーパGaN結晶層をn型活性層3として成膜した。得られた材料につき、C-V測定を行って、緩衝層付近のキャリア濃度を調べたところ、緩衝層2とn型活

性層3との界面におけるキャリア濃度は $5 \times 10^{18} \text{cm}^{-3}$ であり、十分に上下方向の導電性を有することが確認された。

【0024】なお、上記実施例において、GaN結晶層の成膜用窒素源としてはラジカル化した窒素やアンモニアを用いてもよく、Ga源としてはトリメチルガリウム(TMG)やトリエチルガリウム(TEG)などの有機金属ガスを用い、Al源としてはトリメチルアルミニウム(TMA)やトリエチルアルミニウム(TEA)などの有機金属ガスを用いてもよく、また、不純物としてはSiに代えてシランガスを用いてもよい。

【0025】更に、上記実施例では、エピタキシャル成長法としてMBE法を採用したが、上記した有機金属ガスを用いたMOCVD法を適用しても同様の結果をえることができる。

【0026】

【発明の効果】以上の説明で明らかなように、本発明の低抵抗GaN系緩衝層は、高純度の化合物半導体のヘテロ接合界面に形成される2次元電子ガス層を積極的に活用したものである。したがって、この緩衝層を用いることにより、縦型のGaN系FETやGaN系MESFETの製造が可能となり、その工業的価値は大である。

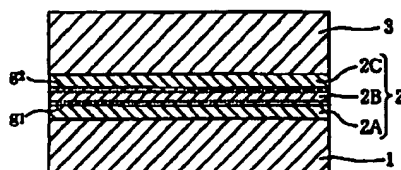
【図面の簡単な説明】

【図1】本発明の緩衝層を用いた層構造を示す断面図である。

【符号の説明】

- | | |
|----|-------------------|
| 1 | 結晶成長用の基板(導電性Si基板) |
| 2 | 緩衝層 |
| 2A | 第1緩衝層(AlGaN) |
| 2B | 第2緩衝層(GaN) |
| 2C | 第3緩衝層(AlGaN) |
| 3 | n型活性層(SiドーパGaN) |

【図1】



フロントページの続き

(51)Int. Cl.⁷

H01L 33/00

H01S 5/32

識別記号

F I

テーマコード(参考)

Fターム(参考) 4G077 AA03 BE11 BE15 BE42 BE45
DA05 DB08 ED06 EF03 EF04
HA06
5F041 AA40 CA34 CA40
5F073 CA07 CA17 CB04 CB07 DA05
DA06
5F102 GB01 GC01 GD01 GJ03 GJ04
GJ05 GJ06 GK08 GQ01 HC01
5F103 AA04 DD01 GG01 HH03 HH04
JJ03 KK01 LL08 RR05